

JP3269628

Publication Title:

EXCEPTION PROCESSING SYSTEM

Abstract:

Abstract of JP3269628

PURPOSE: To increase processing speed by generating an access error signal via an address conversion means at occurrence of an access exception saving the contents stored in a memory access queue constitution, and at the same time restoring the saved contents after the access exception is processed.

CONSTITUTION: When an access exception occurs, an access error signal is outputted from an error signal output means 17a and the contents of a register scoreboard 14 are cleared. At the same time, the contents of a memory access key constitution means 16 are saved to a memory access save key constitution means 18. Then the means 16 is cleared and the contents saved to the means 18 are restored in the means 16 after the access exception is processed. Thus the queue to be executed when the exception is processed again is returned to its original place. As a result, the thrust-off control is attained to plural memory access instructions and the overlapped execution is secured between a memory access instruction and its following arithmetic instruction.

Data supplied from the esp@cenet database - Worldwide

Courtesy of <http://v3.espacenet.com>

⑫ 公開特許公報 (A) 平3-269628

⑪ Int. Cl. 5

G 06 F 9/38

識別記号

380 B

府内整理番号

7927-5B

⑬ 公開 平成3年(1991)12月2日

審査請求 未請求 請求項の数 1 (全7頁)

⑭ 発明の名称 例外処理方式

⑫ 特 願 平2-68114

⑫ 出 願 平2(1990)3月20日

⑬ 発明者 藤岡 俊太郎 神奈川県川崎市中原区上小田中1015番地 富士通株式会社
内⑬ 発明者 池田 和彦 神奈川県大和市深見西4丁目2番49号 株式会社ビーエフ
ユーダ和工場内

⑭ 出願人 富士通株式会社 神奈川県川崎市中原区上小田中1015番地

⑭ 出願人 株式会社ビーエフユーダ 石川県河北郡宇ノ気町字宇野気ヌ98番地の2

⑮ 代理人 弁理士 土橋 皓

明細書

1. 発明の名称

例外処理方式

2. 特許請求の範囲

仮想記憶計算機システムにおいて、

順次に命令列を実行する実行手段(11)と、

データを格納するレジスタ(12)と、

命令の実行時に書き込み対象のレジスタ番号を記憶しておくるレジスタスコアボード(14)と、

先行命令と後続命令とでレジスタの干渉を調べる比較手段(15)と、

前記命令列の中の実行すべきメモリアクセス命令をメモリアクセスキューに格納するメモリアクセスキュー構成手段(16)と、

アクセス例外発生時にアクセスエラー信号を出力するエラー信号出力手段(17a)を有し、前記メモリアクセス命令に従ってアドレス変換するアドレス変換手段(17)と、

アクセス例外発生時に前記メモリアクセスキュー構成手段(16)の格納内容をセーブさせ

るとともに例外処理終了後にセーブした内容を前記メモリアクセスキュー構成手段(16)にリストアするメモリアクセスセーブキュー構成手段(18)と、

を備えたことを特徴とする例外処理方式。

3. 発明の詳細な説明

(概要)

仮想記憶計算機システムにおいて、メモリアクセス命令とその後続命令の実行をオーバーラップさせて実行させる場合の例外処理方式に關し、

アクセス例外が発生した場合に、その例外処理後に、例外発生時に実行しようとした処理に戻って、再スタートできるようにすることを目的とし、

仮想記憶計算機システムにおいて、順次に命令列を実行する実行手段と、データを格納するレジスタと、命令の実行時に書き込み対象のレジスタ番号を記憶しておくるレジスタスコアボードと、先行命令と後続命令とでレジスタの干渉を調べる

比較手段と、前記命令列の中の実行すべきメモリアクセス命令をメモリアクセスキーに格納するメモリアクセスキー構成手段と、アクセス例外発生時にアクセスエラー信号を出力するエラー信号出力手段を有し、前記メモリアクセス命令に従ってアドレス変換するアドレス変換手段と、アクセス例外発生時に前記メモリアクセスキー構成手段の格納内容をセーブさせるとともに例外処理終了後にセーブした内容を前記メモリアクセスキー構成手段にリストアするメモリアクセスセーブキー構成手段とを備えた構成としたものである。

(産業上の利用分野)

本発明は、仮想記憶計算機システムにおいて、メモリアクセス命令とその後続命令の実行をオーバーラップさせて実行させる場合の例外処理方式に関する。

指定するアドレス変換機構 2 b とを備えている。通常、この方式では処理部 1 が主記憶部 3 からデータを読み込む時間は、レジスタ間の転送あるいは演算等の時間と比べて長く掛かり、メモリアクセス命令を発行してからそのアクセスが完了するまでの時間を、見掛け上短縮させるために、先行する命令のメモリアクセスを実行している間に、次の命令を実行させるようにしている。

この仮想記憶計算機システムにおける例外処理方式では、先行する命令のメモリアクセスを実行している間に次の命令を実行させる場合、先行命令が主記憶部 3 からの読み込み命令の時には、この命令の宛先に指定されているレジスタ 1 b の値を後続命令で使用することがある。この時次命令は、先行命令（読み込み命令）が完了するまで待たされ、先行命令の完了前に次命令を実行してはならない。

その為、先行命令の宛先に指定されているレジスタ番号を格納しているレジスタスコアボード 1 c にフラグを付け、後続命令の中で先行命令の

(従来の技術)

従来、仮想記憶計算機システムでは、第 4 図に示すように、処理部 1 と、その処理部 1 からの命令により論理（仮想）アドレスと物理（実）アドレスとの変換をして読み出しましたは書き込みをする等のデータ入出力管理をするメモリ制御部 2 と、そのメモリ制御部 2 を介して必要なデータを読み出す主記憶部 3 を備えている。

処理部 1 には、命令列の実行手段 1 a と、主記憶部 3 から読み出したデータを書き込むレジスタ 1 b と、実行する命令が格納されているレジスタの番号を格納してレジスタ管理をするレジスタスコアボード 1 c と、先に実行している命令とその後から実行する後続命令とが干渉するか否かをチェックする比較手段 1 d を備えている。

メモリ制御部 2 には、処理部 1 からのメモリアクセス命令を格納するメモリアクセスキー構成手段 2 a と、そのメモリアクセスキー構成手段 2 a に格納されたメモリアクセス命令に従ってアドレス変換して必要とするデータの格納位置を

宛先に指定されているレジスタ番号と干渉するものがあるか比較手段 1 d において比較し、チェックする方法がとられている。

しかしながら、この方法では、メモリアクセス命令でアクセス例外（アクセスエラー）が発生した場合に、レジスタスコアボード 1 c にフラグが残ったままになり、割込処理プログラムの実行が停止されてしまう。

またこの方法では、先行するメモリアクセス命令でページフォールト等のアクセス例外が発生した場合に、この例外を発生させたメモリアクセス命令よりも後の命令を実行してしまっていることがあるため、ページを実記憶に割付けた後に例外を起こしたメモリアクセス命令から再実行させる方法では、プログラムの再開が不可能になる。

(発明が解決しようとする課題)

上記従来の仮想記憶計算機システムにおける例外処理方式では、先行命令の宛先に指定されているレジスタ番号を格納しているレジスタスコア

命令の宛先に指定されているレジスタ番号と干渉するものがあるかを比較手段 1 d において比較する方法を探る。しかし、メモリアクセス命令でアクセス例外が発生した場合に、レジスタスコアボード 1 c にフラグが残ったままになり、割込処理プログラムの実行が停止される。又、先行するメモリアクセス命令でページフォールト等のアクセス例外が発生した場合に、この例外発生命令よりも後の命令を実行してしまっている。ページを実記憶に付けた後に例外を起こしたメモリアクセス命令から再実行させる方法を探るものでは、プログラムの再開が不可能になる等々により、それまでの処理は無駄になってしまう。従って、これに対処する為には、システムを落して再起動するか、処理を始めからやり直さなければならぬという問題点があった。

本発明は、上記問題点に鑑みて成されたものであり、その解決を目的として設定される技術的課題は、アクセス例外が発生した場合に、その例外

メモリアクセスキュー構成手段 1 6 の格納内容をセーブさせるとともに例外処理終了後にセーブした内容を前記メモリアクセスキュー構成手段 1 6 にリストアするメモリアクセスセーブキュー構成手段 1 8 とを備えたものである。

(作 用)

本発明は上記構成により、アクセス例外発生時にアドレス変換手段 1 7 のエラー信号出力手段 1 7 a からレジスタスコアボード 1 4 およびメモリアクセスキュー構成手段 1 6 にアクセスエラー信号を出力し、レジスタスコアボード 1 4 の内容をクリアするとともに、メモリアクセスキュー構成手段 1 6 の内容をメモリアクセスセーブキュー構成手段 1 8 にセーブし、その後にメモリアクセスキュー構成手段 1 6 をクリアして例外処理の前処理をし、例外処理後にはメモリアクセスセーブキュー構成手段 1 8 にセーブした内容をメモリアクセスキュー構成手段 1 6 にリストアさせて、処理再開時の実行すべきキューを元に戻す。

処理後に、例外発生時に実行しようとした処理に戻って再スタートできるようにした例外処理方式を提供することにある。

(課題を解決するための手段)

本発明は、上記課題を解決するための具体的な手段として、例外処理方式を構成するにあたり、第 1 図に示すように、仮想記憶計算機システムにおいて、順次に命令列を実行する実行手段 1 1 と、データを格納するレジスタ 1 2 と、命令の実行時に書き込み対象のレジスタ番号を記憶しておくレジスタスコアボード 1 4 と、先行命令と後続命令とがレジスタの干渉を起こすかを調べる比較手段 1 5 と、前記命令列の中の実行すべきメモリアクセス命令をメモリアクセスキューに格納するメモリアクセスキュー構成手段 1 6 と、アクセス例外発生時にアクセスエラー信号を出力するエラー信号出力手段 1 7 a を有し、前記メモリアクセス命令に従ってアドレス変換するアドレス変換手段 1 7 と、アクセス例外発生時に前記

(実施例)

以下、本発明の実施例として、アドレス変換機構からの信号により、アクセスエラー時にレジスタスコアボードの内容をクリアすることができるようとした場合について、第 2 図により図示説明する。

ここで、2 1 は C P U (中央処理装置) であり仮想記憶空間を利用して必要な処理をする。2 2 はアクセスユニットで、仮想記憶の利用を管理するメモリ制御部を構成する。2 3 は主記憶装置で、外部記憶装置 2 4 の内容を取り込み、仮想記憶空間を構成する。

C P U 2 1 には、命令列を構成し、構成した命令列を順に実行する命令列の実行手段 3 1 と、仮想記憶から読み出したデータを書き込むレジスタ 3 2 と、レジスタ 3 2 に格納されたデータを計算する演算手段 3 3 と、レジスタ 3 2 の配列に合せてフラグ格納位置を配列させ実行する命令のレジスタ番号に対応させたフラグが格納できるようにしたレジスタスコアボード 3 4 と、先に実行して

チェックする比較手段35とを備える。

アクセスユニット22には、CPU21からのロード命令またはライト命令等のメモリアクセス命令を格納するメモリアクセスキューリストア構成手段36と、アクセス例外発生時にメモリアクセスキューリストア構成手段36およびレジスタスコアボード34へアクセスエラー信号を出力するエラー信号出力手段37aを有し、メモリアクセスキューリストア構成手段36に格納されたメモリアクセス命令に従ってアドレス変換して必要とするデータの格納位置を指定するアドレス変換機構37と、アクセス例外の発生時にメモリアクセスキューリストア構成手段36からその格納内容を全てセーブして例外処理後の再開時にセーブした内容をメモリアクセスキューリストア構成手段36にリストアするメモリアクセスセーブキューリストア構成手段38とを備える。

このように構成した実施例による処理手順は、第3図に示すように、処理を進めていく。

まず、CPU21が命令列の順に処理を進める

そして、メモリアクセスを開始し（ステップ47）、アクセス終了後、ステップ42へ戻る。

ステップ43のチェックで、命令がメモリアクセス命令でなかった場合、レジスタスコアボード34の中の、実行しようとする命令のソースレジスタ番号に対応するフラグが、オンになっているかいないかを比較手段35によりチェックする（ステップ48）。そのフラグがオフであれば直ちにその（ロード命令でない）命令を実行し、ステップ42へ戻る（ステップ49）。

ソースレジスタ番号に対応するフラグがオンの場合には、アクセス例外が発生しているかいないかをチェックする（ステップ51）。アクセス例外が発生していないければステップ48へ戻る。

アクセス例外が発生している場合には、アクセスユニット22においてアドレス変換機構37のエラー信号出力手段37aからアクセスエラー信号を出力し、例外処理に移行する。メモリアクセスキューリストア構成手段36の内容をメモリアクセスセーブキューリストア構成手段38に格納して、キューリ

にめに付し、1つの命令を実行する前に、アドレス変換機構37からアクセスエラーが出力されたか否か、すなわち、アクセス例外が発生しているかいないかをチェックする（ステップ41）。アクセス例外が発生している場合にはステップ52（①）へ飛び越し、アクセス例外が発生していない場合には次のステップへ進み、命令をデコードする（ステップ42）。

デコードした命令がメモリアクセス命令かチェックする（ステップ43）。メモリアクセス命令であれば、アクセスユニット22にメモリアクセス要求を出して、メモリアクセス命令をメモリアクセスキューリストア構成手段36に格納する（ステップ44）。

その格納した命令がロード命令かチェックする（ステップ45）。ロード命令であれば、ディスティネーションレジスタ番号に対応するレジスタスコアボードのフラグをセットし（ステップ46）、また、ロード命令でなければステップ47へ飛び越す。

退避を行い、メモリアクセスキューリストア構成手段36をクリアし（ステップ52）、同時にレジスタスコアボード34をクリアして（ステップ53）、割込み動作を開始する（ステップ54）。

割込み処理55としては、セーブしたキューリストアの内容をいったん他の記憶領域に移してセーブし、キューリストアの格納場所をあけて例外に対応した処理のキューリストアを導入できるようにし（ステップ56）、それから、例えばページの割り付け等のアクセス例外に対応する処理を実行し（ステップ57）、その対応処理が終了した後、他の記憶領域に移してセーブしたキューリストアの内容を元に戻し、リストアする（ステップ58）。リストア終了後、元の処理に復帰させるために割込みからの戻り命令（リターン命令）を発行する（ステップ59）。

割込み処理から戻ると、CPU21は割込みからの戻り命令を実行する際、アクセスユニット22においてメモリアクセスセーブキューリストア構成手段38に格納した内容をメモリアクセスキューリストア構成手段36に戻し、キューリストアを復元する（ステップ

ロリ）。キューの候元復、メモリノンセハイュー構成手段36の内容に従ってメモリアクセスを再開する（ステップ61）。メモリアクセスを再開するにあたって、その命令がロード命令であれば、宛先に指定されているレジスタ番号に対応したレジスタスコアボード34のビットをセットして（ステップ62）、割込み復帰後の処理を実行してステップ42へ戻る（ステップ63）。

このように実施例では、割り込み処理ルーチンのオーバヘッドを増大させることなく、メモリアクセス命令の突き離し制御が可能になる。

これにより、メモリアクセス命令と演算命令とをオーバーラップさせて実行させることにより、処理の高速化ができ、命令の実行性能を向上させることができる。

（発明の効果）

以上のように本発明では、アクセス例外発生時に、エラー信号出力手段17aからアクセスエラー信号を出力して、レジスタスコアボード

14の内容をクリアするところへん、メモリノンセスキュー構成手段16の内容をメモリアクセスセーブキュー構成手段18にセーブし、その後にメモリアクセスキュー構成手段16をクリアして例外処理に対する前処理をし、例外処理後には、メモリアクセスセーブキュー構成手段18にセーブした内容をメモリアクセスキュー構成手段16にリストアさせて、処理再開時の実行すべきキューを元に戻すことができるようとしたことにより、ページフォールト等のアクセス例外発生時にオーバヘッドを増加させることなく、複数のメモリアクセス命令を突き離し制御可能にすることができる、メモリアクセス命令とそれに続く演算命令をオーバーラップさせて実行させることができ、処理の高速化が実現できる。

4. 図面の簡単な説明

第1図は、本発明の構成説明図、

第2図は、実施例の構成説明図、

第3図は、実施例の処理手順を示す流れ図、

第4図は、従来例の構成図。

1 1…命令列の実行手段

1 2…レジスタ

1 4…レジスタスコアボード

1 5…比較手段

1 6…メモリアクセスキュー構成手段

1 7…アドレス変換手段

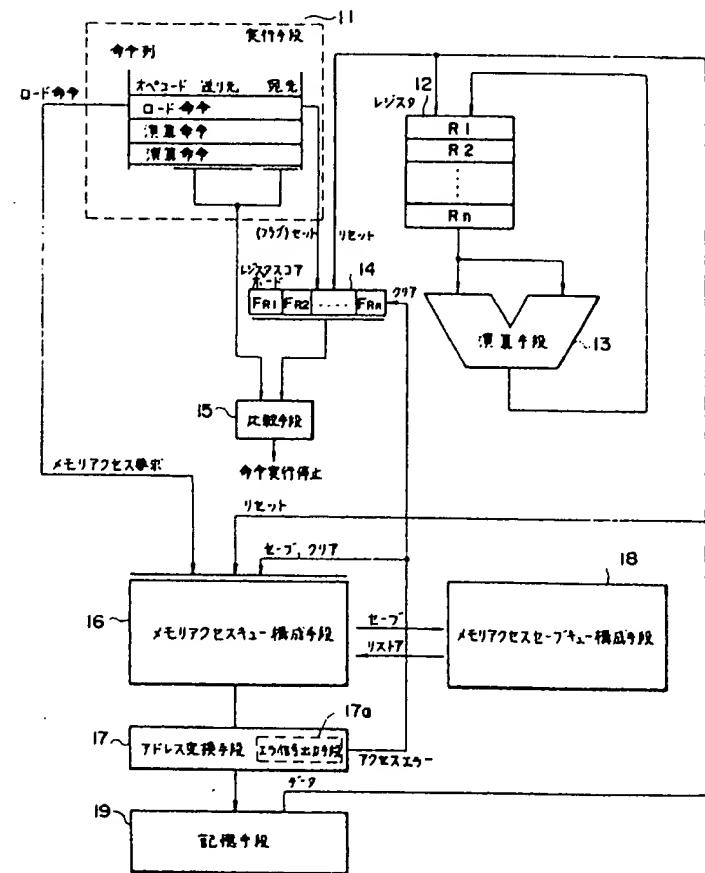
1 7 a…エラー信号出力手段

1 8…メモリアクセスセーブキュー構成手段

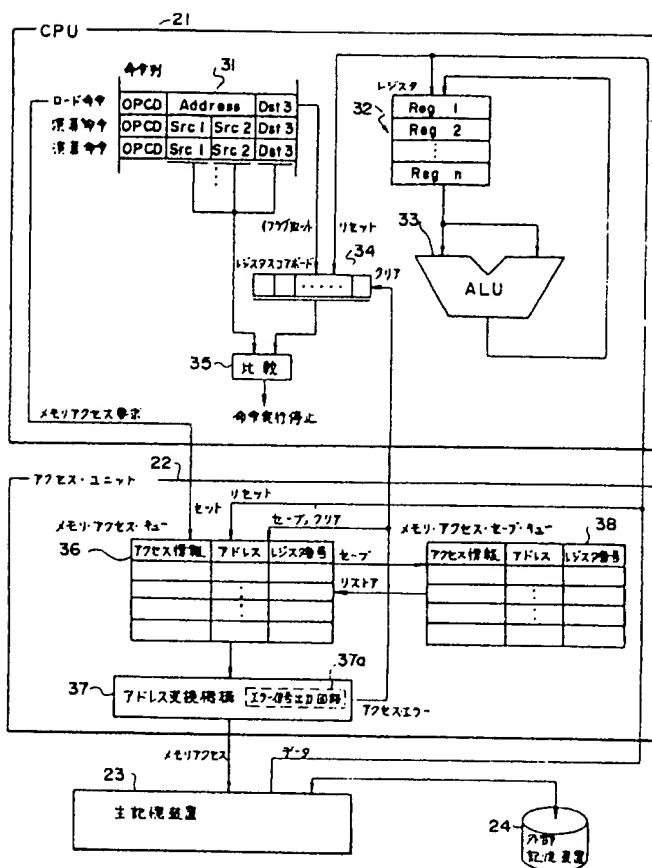
1 9…記憶手段

特許出願人 富士通株式会社

代理 人 弁理士 土橋皓

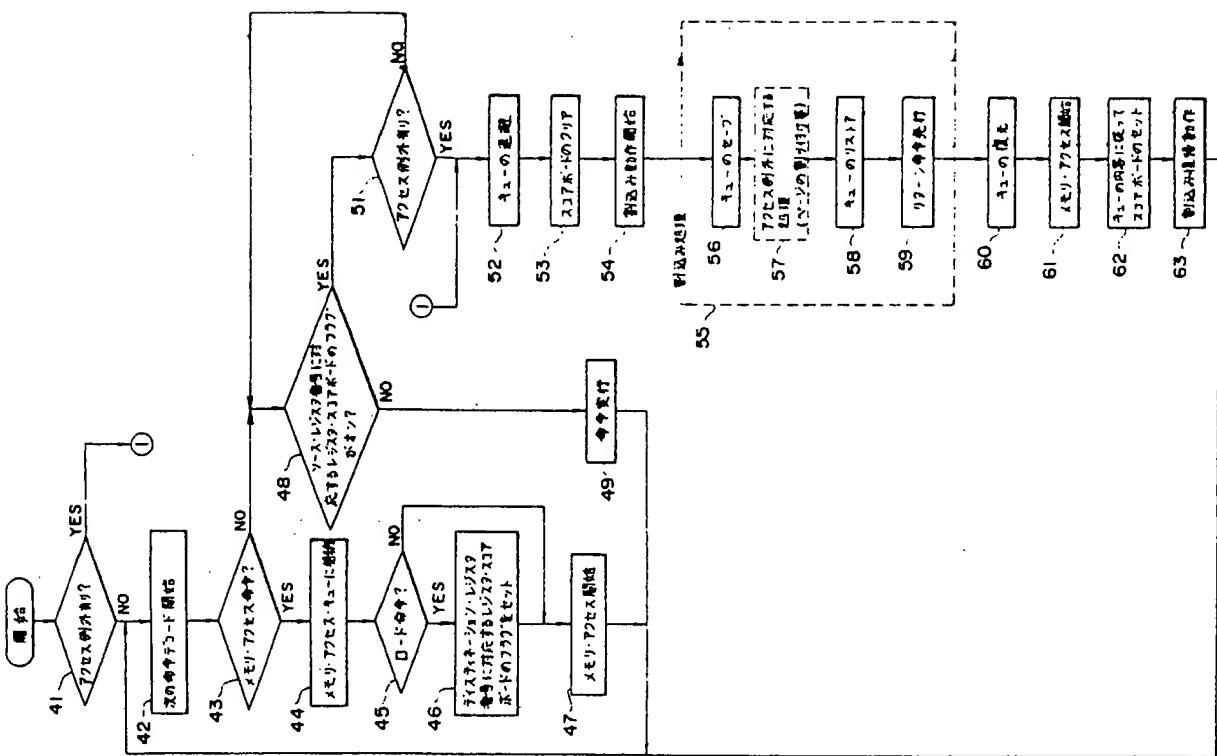


本発明の構成説明図
第1図



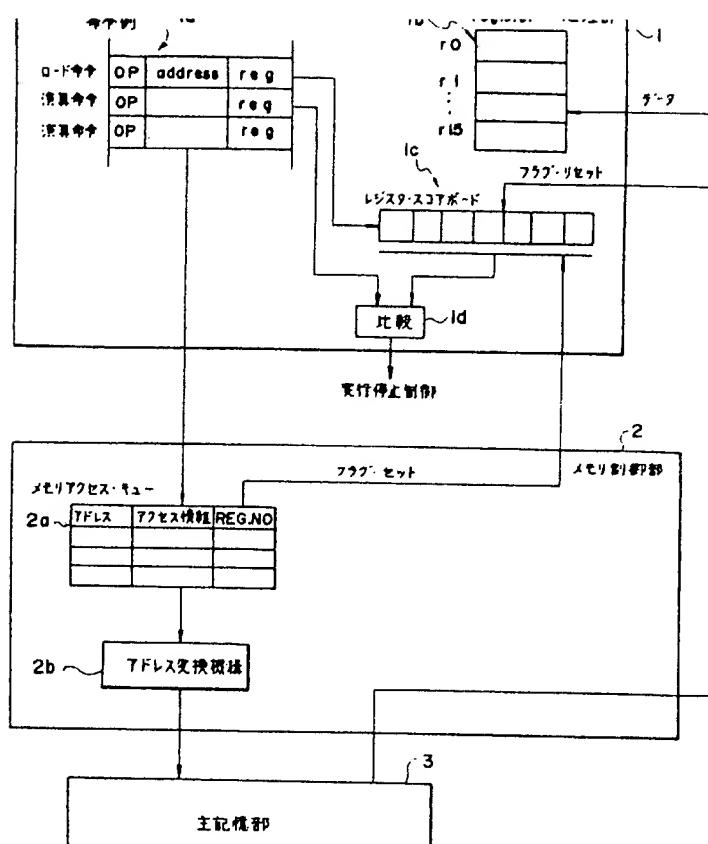
実施例の構成説明図

図 2



実施例による処理手順を示す流れ図

図 3



従来例の構成図
第4図